

⑫ 公開特許公報(A)

平1-166556

⑤ Int. Cl.⁴H 01 L 29/46
21/28
29/80

識別記号

3 0 1

庁内整理番号

H-7638-5F
H-7638-5F
F-8122-5F

④ 公開 平成1年(1989)6月30日

審査請求 未請求 発明の数 2 (全5頁)

⑥ 発明の名称 n型GaAsオーム性電極およびその形成方法

⑦ 特 願 昭62-323981

⑧ 出 願 昭62(1987)12月23日

- ⑨ 発 明 者 森 光 廣 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- ⑩ 発 明 者 矢ノ倉 栄二 東京都千代田区神田駿河台4丁目6番地 株式会社日立製作所内
- ⑪ 発 明 者 水 田 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- ⑫ 発 明 者 比留間 健之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- ⑬ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
- ⑭ 代 理 人 弁理士 小川 勝男 外1名
- 最終頁に続く

明 細 書

1. 発明の名称

n型GaAsオーム性電極およびその形成方法

2. 特許請求の範囲

1. n型GaAs層上に少なくともIV族元素あるいはVI族元素を含有するInGaAs多結晶合金層、V族元素を含有するGe層が順次積層されていることを特徴とするn型GaAsオーム性電極。
2. 特許請求の範囲第1項記載のn型GaAsオーム性電極において、上記IV族元素あるいはVI族元素はGe, Si, SnあるいはTe, Se, Sであるn型GaAsオーム性電極。
3. 特許請求の範囲第1項記載のn型GaAs性電極において、上記V族元素は、P, As, Sbであるn型GaAsオーム性電極。
4. n型GaAs層上に第1層として、In層又はIV族元素あるいはVI族元素を含有するIn層を、第2層としてV族元素を含有するGe(ゲルマニウム)層を、第3層として高融点金属層

あるいはその硅化物層、窒化物層を少なくとも積層した後、Inの融点以上で、かつGeの融点以下の温度で熱処理する工程を含むことを特徴とするn型GaAsオーム性電極の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はn型GaAsに対するオーム性電極に係り、特に低接触抵抗で平坦性が良く、Al(アルミニウム)系配線とも容易に接続可能な電極構造に関する。

〔従来技術〕

従来のオーム性電極としては、一般的にAu/Ni/AuGe(金/ニッケル/金・ゲルマニウム合金)が用いられていた。例えば、ソリッド・ステート・エレクトロニクス、第25巻、1982年、第1063~1065頁(Solid State Electronics, Vol. 25, pp 1063~1065 (1982))におけるMarshall I. Nathan及びMordehai Heiblumによる「An Improved AuGe Ohmic Contact To n-CaAs」と題する文献におい

て論じられている。

即ち、GaAs MESFET (Metal-Semiconductor Field Effect Transistor)等のGaAs半導体装置においてはオーム性電極形成予定領域のn型GaAs表面上に上記の三層膜を被着し、AuGe合金の共晶温度(356℃)以上の温度で熱処理する。この熱処理によつてGaAsとAuGeを合金化し、その冷却過程で再結晶化したGaAs中に高濃度のGeを含有させる。こうして電極-半導体界面には、Geドナー不純物を多量に含有する層が形成され、オーム性が得られる。

しかし、熱処理を行なうと電極表面に凹凸が生じ、平坦性を損なうことがしばしばあつた。また電極形成後400℃以上の熱処理を加える工程があると、合金化反応が過剰に進行し、平坦性および接触比抵抗が劣化する。さらにFETのゲート電極にAlを用いた場合、特に集積回路の如くゲート電極とオーム性電極であるAu系のソース・ドレイン電極との相互接続を必要とする場合は、よく知られるAl-Auの合金反応(パーブルブ

レーク)により、信頼性の点で問題があつた。

〔発明が解決しようとする問題点〕

上記従来技術では、AuGe系をはじめとするAu合金を用いるオーミック電極の場合は、オーム性の熱劣化、平坦性の悪さ、Al配線との相互接続の困難性の問題があつた。

本発明の目的は、上記従来技術の欠点を解消し、接触抵抗が小さく、電極の平坦性も良好であり、Alとの相互接続も容易であり、素子製造のうえで適用しやすいn型GaAsオーム性電極を提供することにある。

〔問題点を解決するための手段〕

上記目的は、第1図に示す如くn型GaAs層11上に第1層12としてInあるいはGaAsにとつてドナ不純物となるIV族あるいはVI族元素、則ちGe, Si, Sn, Te, Se, SとInの合金を、第2層13としてGeとドナ不純物であるP, As, Sbとの合金を、第3層14として高融点金属、例えばTi, Mo, W, Ta, Hf等やこれらの硅化物、窒化物例えばMoSi₂,

WSi₂, TiN等を連続的に被着する。被着法としては真空蒸着法、クラスティオンビーム蒸着法、スパッタ蒸着法等があり、実際はこれらの組合わせを用いる。この多層膜を、Inの融点以上で短時間の熱処理、例えば1秒~100秒の間の時間を用いて行なうと平坦性の優れた、接触比抵抗の小さな良いオーム性電極が形成される。

これまでn型GaAs上に電極を形成する場合について述べてきたが、n+型GaAs上に形成しても同様の作用・効果があることは言うまでもない。

〔作用〕

本電極は、前記第1~第3層を連続的に被着後、熱処理を施すことにより性能を発揮するものであり、各層の作用について第1図を用いて以下に述べる。第1層12のIn層は熱処理によつて界面のn型GaAsと合金化し、GaAsより禁帯幅の小さいInGaAs合金を析出する。このInGaAs層には第2層13のGe合金層、例えばGe-P, Ge-As, Ge-Sb合金の一

部分が溶融するため、高ドナ不純物濃度のn+型InGaAs層15となる。また第1層12のIn層にIV族元素又はVI族元素、例えば、Si, Ge, Sn又はTe, Se, Sが含有されている場合は、これらもドナ不純物となつてn+型InGaAs層15の形成に役立つ。第2層13 GeとV族元素の合金層にはInが一部分とけ込みGe層中でアクセプタ不純物となるが、あらかじめ過剰に加えられたドナ不純物、即ち、P, AsあるいはSbによつて補償されn+型Ge層ができる。第3層14高融点金属層は熱処理によるボールアップを防止し平坦性化を保つとともに金属導通層としての役割を果たす。高融点金属としては、Ti, Mo, W, Ta, Hf等を用いる。またこれらの硅化物TiSi₂, MoSi₂, WSi₂, TaSi₂, HfSi₂等や、窒化層TiN, MoN, WN, TaN, HfN等を用いても同様の効果が得られる。

熱処理方法としては、水素、窒素あるいはアルゴンのような不活性なガスの雰囲気中で行なう。

温度範囲は第1層11のInあるいはIn合金層がGaAsと合金化する一方で、第3層14の高融点金属あるいはこれらの硅化物、窒化物が融けないように少なくともGeの融点以下を用いる。熱処理時間は1秒から100秒程度の短時間で行なうことにより、合金化が第3層までに達しないようにする。

以上まとめると、n型GaAs 11上に、GaAsより禁帯幅の小さいn+InGaAs層15、n+Ge層16が形成されて良好なオーム性電極ができる。またAu合金層は用いないので、Al系の配線材料との接続も容易であり、高信頼性が得られる。

〔実施例〕

以下、本発明の実施例を図により説明する。

実施例1

第3図を用いて説明する。

- (1) 半絶縁性GaAs基板30上にn型GaAs 31 (キャリア濃度 $3 \times 10^{17} \text{ cm}^{-3}$, Siドープ), n+型GaAs 32 (キャリア濃度 $2 \times$

次に600℃～750℃で1秒～5秒間熱処理を行なう。この間にIn層は溶解しInGaAs合金層38が形成される。この時接触比抵抗は $2 \times 10^{-5} \Omega \cdot \text{cm}$ であり、電極の凹凸は50Å以下と良好であった。

- (4) リソグラフィ技術により絶縁膜14のゲート電極部を開孔し、続いてn+型GaAs層とn型GaAs層の一部の深さまでGaAsをエッチング除去する(第1図(d))。

Al/Ti厚さ8000Å/500Åを真空蒸着後、リフトオフ法により、ゲート電極39を形成する。このとき同時にソース・ドレイン電極のボンディングパッドをAl/Tiにより形成することが可能である。

以上は本発明を用いたGaAsMESFETについての例であるが、この他GaAs集積回路に用いることが可能である。

実施例2

実施例1の(2)において第1層34にIn-Te合金(組成比95:5at%)100Åを用

10^{18} cm^{-3} , Siドープ)をエピタキシャル成長したウエハを用意する。この他半絶縁性GaAs基板ヘイオン打込みにより、これらの層を形成したウエハを用いても良い。次に絶縁層33、例えばCVD SiO₂膜を被着し、通常のホトリソグラフィ技術を用いてソースおよびドレイン電極(オーム性電極)を形成する領域に開孔した(第1図(a))。

- (2) 該ウエハ上に室温でクラスタイオン蒸着あるいは真空蒸着により第1層34Inを100Å被着した。次に第2層35Ge-Sb合金を350Å被着した。この時には二元蒸着を用い、組成比は3:1を用いた。最後に第3層36Tiを1500Å被着した(第1図(b))。
- (3) ソース・ドレイン電極37のパターンをホトリソグラフィ技術により形成する。TiとGe-Sb合金の不要部分の除去にはCF₄ガスによるドライエッチング法を、In層の除去には希塩酸によるウェットエッチング法を用いた(第1図(c))。

いた場合、接触比抵抗は $6 \times 10^{-5} \Omega \cdot \text{cm}$ が得られ、In単独で用いるよりも良好なオーム性電極が形成された。

〔発明の効果〕

本発明によれば、オーム性電極の接触比抵抗が $10^{-5} \sim 10^{-6} \Omega \cdot \text{cm}$ 程度の小さな値が得られる。又従来のAu/Ni/AuGe電極に比べて電極の平坦性は50Å以下と良好である。さらにAu合金を用いない電極なので、Al系の配線材料と高信頼性の接続が可能であり、特にGaAs集積回路のAlゲート電極とソース・ドレイン電極間の配線に際し、好都合である。

また本発明はn型GaAsについて述べてあるが、n型GaAlAs, n型GaAsP等の結晶材料についても同様の効果がある。

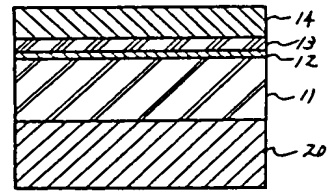
4. 図面の簡単な説明

第1図は本発明によるオーム性電極の断面図、第2図は従来法によるオーム性電極断面図および第3図は本発明のオーム性電極形成法を用いたGaAsMESFETの製造工程の断面図である。

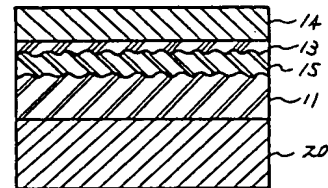
11, 31...n型GaAs、12, 34...第1層、In層あるいはIV族又はVI族元素を含有するIn層、13, 35...第2層、V族元素を含有するGe層、14, 36...第3層、高融点金属層あるいはその硅化物層、窒化物層、15, 38...n⁺型InGaAs層、20, 30...半絶縁性GaAs、22...Ge膜、23...金属膜、21, 32...n⁺型GaAs層、33...絶縁膜、37...ソース・ドレイン電極、39...ゲート電極。

代理人 弁理士 小川勝

第1図

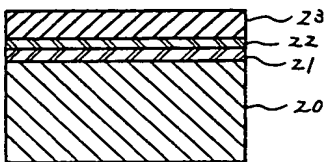


↓ 熱処理



- 11 n型GaAs
- 12 第1層、In層あるいはIV族元素又はVI族元素を含有するIn層
- 13 第2層、V族元素を含有するGe層
- 14 第3層、高融点金属層又はその硅化物層、窒化物層
- 15 n⁺型InGaAs
- 20 半絶縁性GaAs

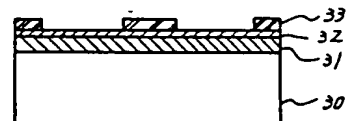
第2図



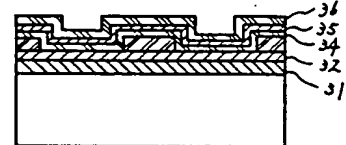
- 20 半絶縁性GaAs基板
- 21 n⁺型GaAs層
- 22 n⁺型Ge層
- 23 金属膜

第3図

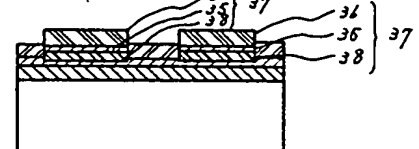
(a)



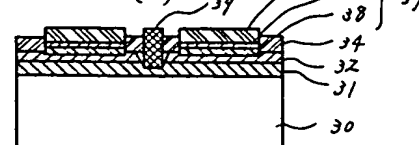
(b)



(c)



(d)



第1頁の続き

⑦発明者 高 橋

進

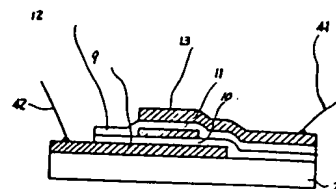
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(54) SEMICONDUCTOR ELEMENT

(11) 1-166555 (A) (43) 30.6.1989 (19) JP
 (21) Appl. No. 62-326095 (22) 22.12.1987
 (71) CANON INC (72) HARUNORI KAWADA(6)
 (51) Int. Cl.⁴ H01L29/28, H01L21/363, H01L29/86

PURPOSE: To improve thermal stability, durability and workability by alternately laminating a thin organic polymer film and a thin inorganic film on a substrate to construct a periodic laminated structure, and forming the laminated structure in a superlattice structure of the repetition of a heterojunction.

CONSTITUTION: A metal (base electrode) 9, a monolayer lamination 10, metal 11, a monolayer lamination 12 and metal (upper electrode) 13 are laminated on a substrate 2 to construct a periodic laminated structure, thin organic polymer films having insulation and thin inorganic films having conductivity or semiconductivity which are alternately laminated have a heterojunction, and the laminated structure has a superlattice structure of the repetition of the heterojunction. With this structure, mechanical strength, solvent resistance and heat resistance are improved, a preferable heterojunction is easily obtained, and the heterojunction is repeated thereby to construct an artificial periodic structure and a superlattice structure having high degree of freedom of materials.



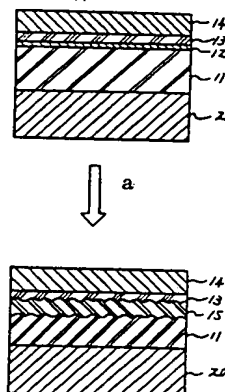
42,41: leading electrode

(54) N-TYPE GaAs OHMIC ELECTRODE AND FORMATION THEREOF

(11) 1-166556 (A) (43) 30.6.1989 (19) JP
 (21) Appl. No. 62-323981 (22) 23.12.1987
 (71) HITACHI LTD (72) MITSUHIRO MORI(4)
 (51) Int. Cl.⁴ H01L29/46, H01L21/28, H01L29/80

PURPOSE: To reduce a specific contact resistance by laminating an In layer or an In layer containing group IV or VI element, a Ge layer containing group V element, a high melting point metal or the like layer on an N-type GaAs layer, and heat treating it at a predetermined temperature.

CONSTITUTION: An N-type GaAs layer 11 is continuously covered with an In layer or an alloy layer 12 of In or group IV or VI element and the In, a Ge layer 13 containing group V element, and a high melting point metal or its silicide or nitride layer 14, and heat treated at a temperature above the melting point of the In and below the melting point of the Ge for a short time. The layer 12 is alloyed with the N-type GaAs of the boundary by the heat treatment, and the InGaAs alloy having smaller forbidden band width than that of the GaAs is precipitated. Part of the layer 13 is melted in the InGaAs layer to become a high donor impurity concentration N⁺ type InGaAs layer 15, the In is partly melted in the layer 13 to form an N⁺ type Ge layer, thereby forming a preferably ohmic electrode.



a: heat treatment

(54) SEMICONDUCTOR DEVICE

(11) 1-166557 (A) (43) 30.6.1989 (19) JP
 (21) Appl. No. 62-323989 (22) 23.12.1987
 (71) HITACHI LTD (72) TOSHIYUKI USAGAWA
 (51) Int. Cl.⁴ H01L29/72, H01L29/205, H01L29/80

PURPOSE: To shorten a collector running time by forming a semiconductor layer having a reverse conductivity type to that of a semiconductor layer for supplying secondary carrier in such a manner that the semiconductor layer for supplying the carrier is interposed between both sides.

CONSTITUTION: P-N junctions between an N-type $Al_xGa_{1-x}As$ layer 13, a P-type GaAs layer 12 and an AlGaAs layer 17, an N-type $Al_xGa_{1-x}As$ layer 16 are depleted, and two-dimensional electron gas 30 is formed on an undoped GaAs 15 region. Thus, a collector depletion layer is determined by the sum of the thicknesses of the layers 14, 13 and the P-type GaAs (or AlGaAs) depletion layers extending therein, the collector depletion layer can be reduced in thickness by enhancing the concentration NA of the P-type GaAs (or the AlGaAs) thereby to reduce a collector running time, thereby realizing the cutoff frequency of high frequency.

